

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-270224

(43)Date of publication of application : 02.12.1991

(51)Int.Cl.

H01L 21/302
H01L 21/28
H01L 21/3205

(21)Application number : 02-072379

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.03.1990

(72)Inventor : KATO TAKASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable the multilayer wiring in high selectivity and low contact resistance further subjected to no junction breakdown to be formed by a method wherein the cleaning process of a substrate or a wiring layer using halogenated metallic gas is included in the title manufacture.

CONSTITUTION: The cleaning process of a substrate or a wiring layer using halogenated metallic gas is included in the title manufacture. Besides, after finishing this cleaning process, a metallic film may be deposited on the substrate or a wiring layer continuously using the halogenated metallic gas. Through these procedures, without especially performing the cleaning process using gases such as CF₄, CCl₄, SF₆, BCl₃, etc., the substrate and the wiring layer can be cleaning-processed so that multilayer wiring subjected to no junction breakdown may be formed thereby enabling the yield of semiconductor device to be augmented.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-270224

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月2日

H 01 L 21/302
21/28

F 8122-4M
A 7738-4M
B 7738-4M

21/3205

6810-4M H 01 L 21/88

D

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-72379

⑰ 出 願 平2(1990)3月20日

⑱ 発 明 者 加 藤 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基板または配線層をドライエッチングによりクリーニング処理する工程を有する半導体装置の製造方法において、

前記基板または配線層をハロゲン化金属ガスによってクリーニング処理する工程を含むことを特徴とする半導体装置の製造方法。

(2) 前記クリーニング処理を終了した後、連続してハロゲン化金属ガスによって基板上および配線層上に金属膜を堆積するようにしたことを特徴とする請求項第1記載の半導体装置の製造方法。

(3) 前記基板または配線層をハロゲン化金属ガスと不活性ガスとの混合ガスによってクリーニング処理する工程を含むことを特徴とする請

求項第1または第2記載の半導体装置の製造方法。

(4) 前記基板または配線層をハロゲン化金属ガスとH₂との混合ガスによってクリーニング処理する工程を含むことを特徴とする請求項第1または第2記載の半導体装置の製造方法。

(5) 前記基板または配線層をハロゲン化金属ガスとN₂との混合ガスによってクリーニング処理する工程を含むことを特徴とする請求項第1または第2記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置の製造方法に関し、
選択性が高いとともにコンタクト抵抗が低く、かつジャンクション破壊の生じない多層配線を形成して半導体装置の歩留まりを向上することができるとともに、ボイド等による配線層の断線が生じない信頼性の高い半導体装置の製造方法を提供

することを目的とし、

基板または配線層をドライエッチングによりクリーニング処理する工程を有する半導体装置の製造方法において、前記基板または配線層をハロゲン化金属ガスによってクリーニング処理する工程を含むように構成する。

(産業上の利用分野)

本発明は、半導体装置の製造方法に関し、詳しくはコンタクトホール内の基板あるいはコンタクトホール内の配線層のエッチングによるクリーニング処理を良好に行うことができる半導体装置の製造方法に関する。

一般に、半導体装置の製造工程における多層配線技術にあっては、コンタクトホール内の基板あるいはコンタクトホール内の配線層にCVD法(化学気相成長法)によってタングステン等の金属層を形成する前に、該コンタクトホール内をウェットエッチングによるクリーニング処理を施している。ところが、近時、半導体素子の微細化に

コンタクト抵抗低減化のために第1のコンタクトホール内の基板上に発生した高抵抗層を除去するドライエッチングによるクリーニング処理を行う。このため、CF₄、CCl₄、SF₆、BCl₃等のガスを用いて、第1のコンタクトホール内の基板のクリーニング処理を行う。

次いで、例えばスパッタ法により第1のコンタクトホール内の基板拡散層とコンタクトを取るようにしてAlを堆積して第1の配線層を形成した後、例えばCVD法により第1の配線層上にSiO₂を堆積して第2の絶縁膜を形成する。次いで、例えばRIE法により第2の絶縁膜を選択的にエッチングして第2のコンタクトホールを形成する。ここでも上述したものと同様に第2のコンタクトホール内の第1の配線層上にAl₂O₃膜(自然酸化膜)が薄く発生したり、あるいは不純物が析出したりして高抵抗層が形成される。この高抵抗層があるとコンタクト抵抗が増大してしまうため、コンタクト抵抗低減化のために第2のコンタクトホール内の第1の配線層上に発生した高抵抗層を除

けてコンタクトホールの加工寸法もますます微細化されており、サイドエッチング等が生じてしまうウェットエッチングによるクリーニング処理では対応できなくなってきており、代わってドライエッチングによるクリーニング処理が行われるようになっている。

(従来の技術)

従来のこの種の半導体装置の製造方法としては例えば、Si基板上にSiO₂を堆積して第1の絶縁膜を形成し、例えば、RIE法により第1の絶縁膜を選択的にエッチングして第1のコンタクトホールを形成した後、例えば、イオン注入法により第1の絶縁膜をマスクとして第1のコンタクトホール内の基板に不純物を導入して基板拡散層を形成する。このとき、第1のコンタクトホール内の基板上にSiO₂膜(自然酸化膜)が薄く発生したり、あるいは基板からの不純物が析出したりして高抵抗層が形成される。この高抵抗層があるとコンタクト抵抗が増加してしまうため、コ

去するクリーニング処理を行う。このため、CF₄、CCl₄、SF₆、BCl₃等のガスを用いて、第2のコンタクトホール内の第1の配線層のクリーニング処理を行う。また、その他のクリーニング処理として上述したガスの代わりにArイオンによるスパッタエッチングを行うようにしていた。

(発明が解決しようとする課題)

しかしながら、このような従来の半導体装置の製造方法にあっては、第1の配線層を形成する前に行う第1のコンタクトホール内の基板のクリーニング処理をCF₄、CCl₄、SF₆、BCl₃等のガスを用いてドライエッチングにより行っていたため、以下のような問題があった。

(1) CF₄、CCl₄、SF₆、BCl₃等のガスはC、S、B等の不純物を含んでいるため、エッチングの際に不純物がSiO₂の膜上に形成されてしまった。このため、例えば第1のコンタクトホール内にタングステン等の金属を選択成長した場合に、本来は基板上のみにタングステンを

形成したいにも拘らず、 SiO_2 上に形成された不純物を塩にして SiO_2 膜上にもタングステンが形成されてしまい、成長性が悪化してしまった。

(2) 特に深さが浅い基板拡散層の場合には該拡散層に不純物が拡散してジャンクション破壊を起こしてしまった。

(3) 自然酸化膜をクリーニング処理することができても基板上に上述した不純物が堆積されてコンタクト抵抗が増大してしまった。

また、第2の配線層を形成する前に行う第2のコンタクトホール内の第1の配線層のクリーニング処理を、上述したように CF_4 、 CCl_4 、 SF_6 、 BCl_3 等のガスを用いてドライエッチングすることにより行っていたため、上述したような(1)(3)と同様の問題が生じてしまうと同時に、以下のような問題が生じてしまった。

(4) 自然酸化膜をクリーニング処理することができても基板上に上述した不純物が堆積されてエレクトロマイグレーションおよびストレスマイグレーションを低下させてしまい、第1の配線層に

ボイトやヒロックが生じて第1の配線層が断線し易くなってしまうという問題があった。

一方、第1の配線層のクリーニング処理を Ar イオン照射によるスパッタエッチングにより行った場合には、エッチング時に打ち込まれる Ar イオンまたはノックオンされた不純物によってエレクトロマイグレーションおよびストレスマイグレーションを低下させてしまい、第1の配線層にボイトやヒロックが生じて第1の配線層が断線し易くなってしまうという問題があった。

そこで本発明は、選択性が高いとともにコンタクト抵抗が低く、かつジャンクション破壊の生じない多層配線を形成して半導体装置の歩留まりを向上することができるとともに、ボイド等による配線層の断線が生じない信頼性の高い半導体装置の製造方法を提供することを目的としている。

(課題を解決するための手段)

本発明は、上記目的を達成するため、基板または配線層をドライエッチングによりクリーニング

処理する工程を有する半導体装置の製造方法において、前基板または配線層をハロゲン化金属ガスによってクリーニング処理する工程を含むものであり、前記クリーニング処理を終了した後、連続してハロゲン化金属ガスによって基板上および配線層上に金属膜を堆積するように構成してもよく、また、前記基板または配線層をハロゲン化金属ガスと不活性ガスとの混合ガスによってクリーニング処理する工程を含むこと、前記基板または配線層をハロゲン化金属ガスと H_2 との混合ガスによってクリーニング処理する工程を含むこと、前記基板または配線層をハロゲン化金属ガスと N_2 との混合ガスによってクリーニング処理する工程を含むことにより構成してもよい。

(作用)

本発明では、前記基板または配線層がハロゲン化金属ガスによってクリーニング処理される。

このため、基板および配線層をクリーニング処理する際に高抵抗層のみが除去される。例えば、

WF₆のハロゲン化金属ガスによってエッチングする場合には、該ガスが所定温度、RFパワーおよび所定ガス圧力を境にしてエッチング(クリーニング)領域と金属堆積領域とに分かれる。例えば、第4図(a)に示すように1 Torrのガス圧力であればRFパワーが100 Wを境にしてエッチング領域と金属堆積領域に分かれ圧力とRFパワーが高い方で金属の堆積が行われる。すなわち、WF₆の場合、エッチング領域では、W-Fの結合が切れることがなく、Wの堆積(選択成長)が起きないため、このW-Fの結合が切れることがないエッチング領域に対応する温度、RFパワー、ガス圧力の条件下でエッチングを行う。このとき、Fイオンおよびラジカルによってクリーニング処理が行われる。次いで、WF₆ガスが金属堆積領域に対応する温度、RFパワー、ガス圧力の条件下でWの選択成長が行なわれる。一方、WF₆ガスの圧力を上げていくと、エッチング領域が狭くなり、第4図(b)に示すようにWF₆ガスの圧力が50 Torrではすべて堆積領域となる。すなわ

ち、クリーニング処理の際はガスの圧力を50aTorr以下にする。

したがって、従来のようにわざわざドライエッチング用の不純物を含んだCF₄、CCl₄、SF₆、BCl₃等のガスを用いてクリーニング処理を行わずに、基板および配線層をクリーニング処理することができるばかりでなく、連続して金属の堆積が行われる。この結果、選択性が高いとともにコンタクト抵抗が低く、かつジャンクション破壊の生じない多層配線が形成されて半導体装置の歩留まりが向上されるとともに、ボイド等による配線層の断線が生じずに半導体装置の信頼性が向上する。

(実施例)

以下、本発明を図面に基づいて説明する。

第1図～第4図は本発明に係る半導体装置の製造方法の一実施例を示す図であり、第1図は本発明の半導体装置の製造方法が適用される半導体装置の製造装置を示す図、第2図は第1のコンタ

クトホール10の基板3上に自然酸化膜12が形成された状態を示す図、第3図は第2のコンタクトホール内のA2上に自然酸化膜が形成された状態を示す図、第4図はガス圧力が1aTorrのときおよび50aTorrのときのRFパワーとエッチング(クリーニング)速度およびWの堆積速度の関係を示す図である。

まず、構成を説明する。第1図において、1は真空容器であり、該容器1にはノズル2、Si基板3、電極4、5、不活性ガス導入孔6が設けられている。ノズル2は所定のハロゲン化金属ガスを容器1内に導入するものであり、導入された該ガスは容器1に形成された排気孔7、8から排出される。電極4にはRF(高周波)電源9から所定周波数の高周波電圧が供給され、電極4、5にRFパワーが印加されるとノズル2とSi基板3の間でハロゲン化金属ガスがプラズマ化される。このSi基板3は第2図に示すように基板3上に第1のコンタクトホール10が形成された第1の絶縁膜11が形成されており、該第1のコンタクトホール10の基板3上には自然酸化膜12が形成されて

いる。このSi基板3は例えばCVD法により基板3上にSiO₂を堆積して第1の絶縁膜11を形成し、例えばRIE法により第1の絶縁膜11を選択的にエッチングして第1のコンタクトホール10を形成した後、例えばイオン注入法により第1の絶縁膜11内の基板3に不純物を導入して基板拡散層13を形成したものである。このとき、第1のコンタクトホール10内の基板3上にSiO₂(自然酸化膜)12が数10～100 Å程度の膜厚で発生したり、例えば基板3から不純物が析出して高抵抗層が形成される。なお、第1図中14は基板3を加熱する紫外線ランプである。

このような構成を有する真空容器1において以下の条件でエッチング(クリーニング処理)を行った。

ハロゲン化金属ガス：WF₆ (2cc)、

ガス圧力：1aTorr、

基板加熱温度：180℃、

RFパワー：80W、

RFパワー印加時間：2分間、

以上の条件によってクリーニング処理を行うのは以下の理由による。

すなわち、このときWF₆はWF₆+Fにプラズマ処理されて分解される。そして、第3図に示すようにRFパワーが100W以下でW-Fの結合が完全に切れない状態であるため、Fイオン、ラジカルによって自然酸化膜12のエッチングが行われる。したがって、従来のように不純物が発生しないので従来のような問題(1)～(3)が発生することがない。

次いで、RF電源を切ると同時に紫外線ランプ14によりSi基板3の温度を330℃に上げて、第1のコンタクトホール10のSi基板3にWの選択成長を行う。WF₆を6ccに増し、好ましくはこの選択成長時に不活性ガス導入孔6からH₂(500cc)、SiH₄(5cc)を導入すれば良好にWの選択成長を行うことができる。

この選択成長時においては、W-Fの結合が完全に切れる金属堆積領域となりエッチング領域が狭くなる。なお、このときRF電圧を切ってSi

基板3温度を上げずに、第3図に示すようにRFパワーを100 W以上に上げるようにしてWの堆積を行うようにしてしてもよい。

第3図はSi基板3上にAlを堆積して第1の配線層15を形成した状態を示す図であり、詳細していないが該第1の配線層15の下には第1図で示すSi基板3が存在している。すなわち、例えば、スパッタ法により第1のコンタクトホール10内の基板拡散層13とコンタクトを距るようにしてAlを堆積して、例えば第3図に示すような第1の配線層15を形成し、例えばCVD法により第1の配線層15にSiO₂を堆積して第2の絶縁膜16を形成した後、例えばRIE法により第2の絶縁膜16をエッチングして第2のコンタクトホール17を形成する。このとき、第2のコンタクトホール17内の第1の配線層15上に膜厚が数10~100 Å程度のAl₂O₃の高抵抗層18が発生する。

次いで、第1図に示す容器1で第2のコンタクトホール17内の第1の配線層15上の高抵抗層18を除去するクリーニング処理を以下の条件で行う。

狭くなる。なお、このときRF電圧を切ってSi基板3温度を上げずに、第3図に示すようにRF電圧を100 W以上に上げるようにしてWの堆積を行うようにしてしてもよい。また、Arの代わりにH₂ (50cc)を導入して還元反応を利用することによりエッチングを促進したり、あるいはN₂ (10cc)を導入してWF₆と混合させてプラズマ処理し、NF₃という反応ガスを導くことにより過剰Fを除去してエッチング速度を早めてもよい。そして、導入孔6からこれらN₂、およびH₂を導入する場合にはトータルのガス圧が10 Torrを越えないようにする。

なお、上述したクリーニング処理に続く金属の堆積については、WだけでなくAl等の他の選択成長でも良いし、金属のスパッタでもよい。

また、Si基板3および第1の配線層15のクリーニング処理に使用されるガスは上述したWF₆に限定されるものではなく、MoCl₅、MoF₆等のハロゲン化金属ガスでもよい。これらガスはプラズマ処理されると以下のような反応を起こす。

ハロゲン化金属ガス：WF₆ (2%)、

ガス圧力：1 Torr、

基板加熱温度：180 °C以下、

RFパワー：80 W、

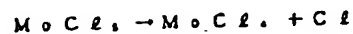
RFパワー印加時間：2 分間。

このとき、第1の配線層15上のアルミナは上述したような自然酸化膜13と違いFイオン、ラジカルだけでは、エッチング速度が遅くなるので、エッチング速度を早めるために不活性ガス導入孔6からAr等の不活性ガスを導入するようにしてもよい。このとき、Arの分圧が全圧力に対して20 %になるように容器1内に導入する。

このため、高抵抗層18はプラズマ処理されたFイオン、ラジカル、Arによって除去される。

次いで、RF電源を切ると同時に紫外線ランプ14によりSi基板3の温度を330 °Cに上げて、第2のコンタクトホール17の第1の配線層15にWの選択成長を行う。

この選択成長時においては、W-Fの結合が完全に切れて金属堆積領域となりエッチング領域が



したがって、それぞれFラジカル又はイオン、Clラジカル又はイオンでクリーニング処理が行われ、この後に続く金属の選択成長ではMoの堆積が行われる。

以上のように本実施例では、Si基板3または第1の配線層15をハロゲン化金属ガスによってクリーニング処理しているため、選択性が高いとともにコンタクト抵抗が低く、かつジャンクション破壊の生じない多層配線を形成することができ、半導体装置の歩留まりを向上することができるとともに、ボイド等による配線層の断線が生じない信頼性の高い半導体装置の製造方法を提供することができる。

(発明の効果)

本発明によれば、基板または配線層をハロゲン化金属ガスによってクリーニング処理しているため、選択成長性が高いとともにコンタクト抵抗が

低く、かつジャンクション破壊の生じない多層配線を形成することができ、半導体装置の歩留まりを向上することができるとともに、ボイド等による配線層の断線が生じない信頼性の高い半導体装置の製造方法を提供することができる。

4. 図面の簡単な説明

第1図～第4図は本発明に係る半導体装置の製造方法の一実施例を示す図であり、

第1図は本発明の半導体装置の製造方法が適用される半導体装置の製造装置を示す図、

第2図は第1のコンタクトホール内の基板の上に自然酸化膜が形成された状態を示す図、

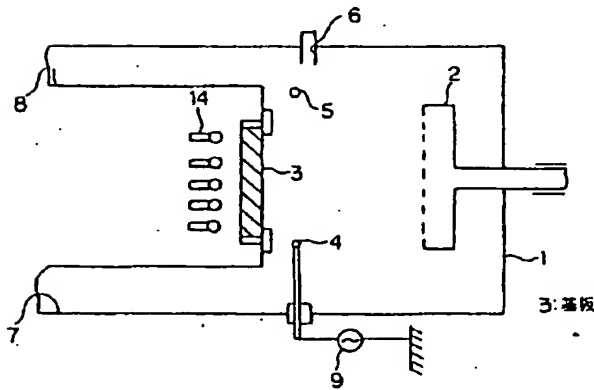
第3図は第2のコンタクトホール内のAl上に自然酸化膜が形成された状態を示す図、

第4図はガス圧力が1mTorrのときおよび50mTorrのときのRFパワーとエッチング（クリーニング）速度およびWの堆積速度の関係を説明する図である。

3……Si基板（基板）、

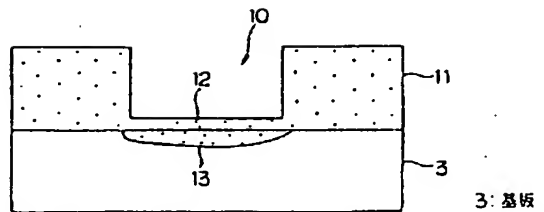
15……第1の配線層（配線層）。

代理人 弁理士 井 術 貞



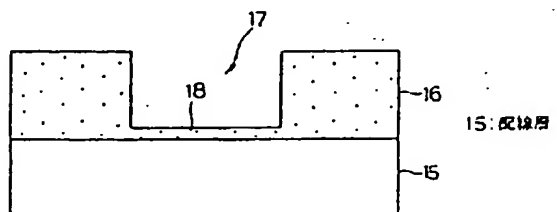
一実施例の半導体装置の製造装置を示す図

第 1 図



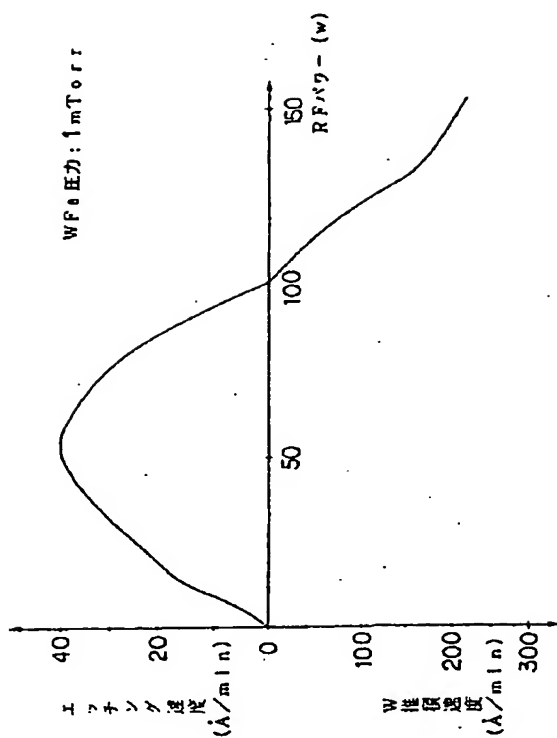
一実施例の基板の上に自然酸化膜が形成された状態を示す図

第 2 図

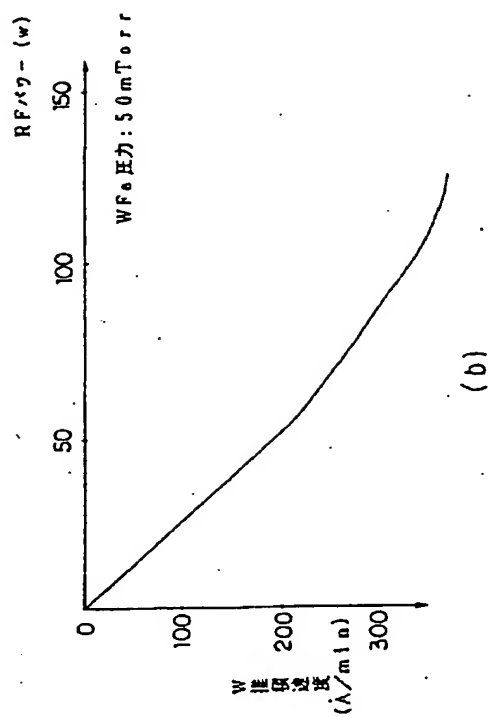


一実施例のAl上に自然酸化膜が形成された状態を示す図

第 3 図



(a)



(b)

ガス圧力が1mTorrの時、及び50mTorrの時のRFパワーとエッチング速度及びWの供給速度の関係を示す図

第 4 図